

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-254412

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

G09G 3/36

(21)Application number : 09-060239

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.03.1997

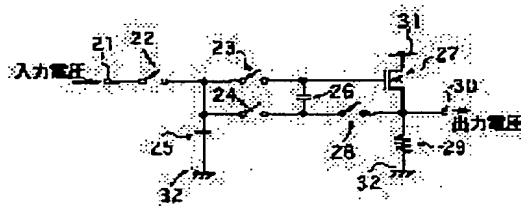
(72)Inventor : NAKAZAWA MITSU HARU  
MURAKAMI HIROSHI  
NAKABAYASHI KENICHI  
YAMAMOTO AKIRA

## (54) SAMPLE-HOLD CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To compensate dispersion in a threshold voltage of a transistor when an output transistor is constituted of a TFT with a simple contrivance.

**SOLUTION:** Respective one ends of a second switch element 23, a third switch element 24 and a first capacitor 25 are connected to the other end of a first switch element 22 whose one end is connected to an input terminal, and a second capacitor 26 is connected between receptive the other ends of the second switch element 23 and the third switch element 24, and the other end of the second switch element 23 is connected to a gate of a TFT 27, and the other end of the third switch element 24 is connected to the source of the TFT 27, one end of a resistor 29 and an output terminal through a fourth switch element 28, and the drain of the TFT 27 is connected to a high potential source line, and respective the other ends of the first capacitor 25 and the resistor 29 are connected to a low potential source line. Although an output voltage becomes the voltage lowered from the gate voltage of the TFT 27 by the threshold voltage, since the gate voltage of the TFT 27 is heightened by the precise threshold voltage much by the hold voltage of the second capacitor 26, a balance becomes zero, and the output voltage isn't affected.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(11)特許出願公開番号

特開平10-254412

(43)公開日 平成10年(1998)9月25日

(51) Int. Cl. <sup>6</sup>

識別記号

FI

G O 9 G 3/36

G 0 9 G 3/36

審査請求 未請求 請求項の数1 OL (全 8 頁)

(21)出願番号 特願平9-60239

(22)出願日 平成9年(1997)3月14日

(71)出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 中澤 光晴  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 村上 浩  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(74)代理人 弁理士 有我 軍一郎

[最終頁に続く](#)

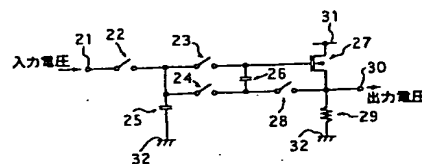
(54) 【発明の名称】 サンプリングホールド回路

(57) 【要約】

【課題】 出力トランジスタをTFTで構成した場合のトランジスタのしきい値電圧のバラツキを簡単な工夫で補償する。

【解決手段】 一端を入力端子に接続した第1のスイッチ要素の他端に第2のスイッチ要素、第3のスイッチ要素及び第1の容量の各一端を接続し第2のスイッチ要素と第3のスイッチ要素の各他端の間に第2の容量を接続し第2のスイッチ要素の他端をTFTのゲートに接続し第3のスイッチ要素の他端を第4のスイッチ要素を介してTFTのソース及び抵抗の一端並びに出力端子に接続しTFTのドレインを高電位電源線に接続し且つ第1の容量と抵抗の各他端を低電位電源線に接続する。出力電圧はTFTのゲート電圧からしきい値電圧だけ下がった電圧となるが、第2の容量の保持電圧によってTFTのゲート電圧が正確にしきい値電圧の分だけ高められているから、差引ゼロとなって出力電圧に影響しない。

### 本発明の原理図



- 21: 入力端子
- 22: 第1のスイッチ要素
- 23: 第2のスイッチ要素
- 24: 第3のスイッチ要素
- 25: 第1の容量
- 26: 第2の容量
- 27: TFT
- 28: 第4のスイッチ要素
- 29: 抵抗
- 30: 出力端子
- 31: 高電位電源線
- 32: 低電位電源線

## 【特許請求の範囲】

【請求項1】一端を入力端子に接続した第1のスイッチ要素の他端に第2のスイッチ要素、第3のスイッチ要素及び第1の容量の各一端を接続し、前記第2のスイッチ要素と第3のスイッチ要素の各他端の間に第2の容量を接続し、前記第2のスイッチ要素の他端をTFTのゲートに接続し、前記第3のスイッチ要素の他端を第4のスイッチ要素を介して前記TFTのソース及び抵抗の一端並びに出力端子に接続し、前記TFTのドレインを高電位電源線に接続し、且つ、前記第1の容量と前記抵抗の各他端を低電位電源線に接続して構成したことを特徴とするサンプリングホールド回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、サンプリングホールド回路、詳しくは、出力トランジスタをTFT (thin film transistor: 薄膜トランジスタ) で構成した場合の該トランジスタのしきい値電圧のバラツキを簡単な工夫で補償できるようにしたサンプリングホールド回路に関し、特に、周辺一体化液晶パネルの製造に用いて好適な回路技術に関する。

## 【0002】

【従来の技術】冷陰極管 (CRT) を用いた表示装置では、点順次駆動すなわち画面の左上から右下に走査して1画面を表示する。1走査点 (画素) あたりの走査時間は、たとえばテレビの場合でおよそ 100ns (但し1水平走査期間がNTSC方式の約60 $\mu$ sとする) であり、この時間は、CRTのように蛍光体に電子ビームを照射するだけの単純な表示装置であれば十分であるが、液晶パネルのように容量性の表示画素を持つものにあっては短かすぎる時間である。そこで、液晶パネルにおいては、データドライバに1ライン分の“サンプリングホールド回路” (以下、S/H回路と略す) を組み込み、このS/H回路で画素単位に画像信号をサンプリングする共に、水平走査信号に同期させてS/H回路内の画像信号をまとめて一行分の表示画素に送り込むという線順次駆動方式を採用している。1画素あたりの走査時間を最大で1水平走査期間程度まで延長できる。

【0003】図11は線順次駆動方式の液晶パネルとその周辺回路の概略構成図である。この図において、1はクロックCLKや表示電圧VS及び水平垂直同期信号HSYNC、VSYNCなどから表示に必要な各種内部信号 (画素クロックCK1、ストローブ信号ST及び表示信号VSAなど) を発生する制御回路、2はデータドライバ、3はゲートドライバ、4は液晶パネルである。データドライバ2はn段 (ここでは便宜的にn=5) のシフト段を有するシフトレジスタ2aと、n段のサンプリング段を有するS/H回路2bからなり、CK1によってSTを順次にシフトして各段のサンプリングクロックを作り、このサンプリングクロックにตอบสนองしてS/H回

路2bでVSAをサンプリングし、1行分の表示信号をまとめて液晶パネル4のゲートバスライン51~55に出力するというものである。なお、61~64はゲートバスライン (本数は一例)、7はTFT、8は液晶容量、9はコモン電極である。

【0004】ところで、液晶パネルとその周辺回路を一体化できれば、製造歩留まりを大幅に改善して製品価格を低減できるが、以下に述べる理由から、特に、データドライバ2のS/H回路2bの一体化が困難であった。すなわち、液晶パネルとその周辺回路を一体化するには、周辺回路のすべての能動素子をTFTで構成しなければならないが、ガラス基板上の薄い半導体薄膜に作られるTFTは特性のバラツキが大きく、隣り合うものであっても、しきい値電圧 (ドレイン電流が流れはじめるときのゲート-ソース間電圧) が異なるからであり、特に、S/H回路2bの出力トランジスタに用いた場合、1ラインの出力特性を揃えることができないからである。

【0005】図12はTFTを用いない場合のS/H回路の概略構成図 (但し1画素分) である。サンプリングクロックにตอบสนองしてFET11がオンすると、表示電圧がサンプリング容量12に保持され、この容量12の保持電圧がボルテージフォロワー回路13を介して液晶パネルのデータバスラインに書き込まれるようになっている。

【0006】一方、すべての能動素子をTFTに置き換えたS/H回路は、例えば、図13のようになり、この回路でも、サンプリングクロックにตอบสนองしてTFT14がオンすると、表示電圧がサンプリング容量12に保持され、この容量12の保持電圧がTFT15を介して液晶パネルのデータバスラインに書き込まれるので、一応、図12と同様の作用が得られる。

## 【0007】

【発明が解決しようとする課題】しかしながら、かかる図13のS/H回路にあっては、TFT15のソース電圧 (出力電圧) がTFT15のゲート電圧 (容量12の保持電圧) からしきい値電圧VGSだけ下がった電圧となり、しかも、このVGSが隣り合うTFTで異なっていたため、例えば、第i画素と第i+1画素のサンプリング容量12の保持電圧を同じ値としたとき、第i画素のTFT15の出力電圧と第i+1画素のTFT15の出力電圧が同じ値にならないという問題点があった。

【0008】そこで、本発明は、出力トランジスタをTFTで構成した場合の該トランジスタのしきい値電圧のバラツキを簡単な工夫で補償できるようにし、以て周辺一体化液晶パネルの製造に寄与する有益な技術の提供を目的とする。

## 【0009】

【課題を解決するための手段】本発明に係るサンプリングホールド回路は、その原理図を図1に示すように、一

端を入力端子21に接続した第1のスイッチ要素22の他端に第2のスイッチ要素23、第3のスイッチ要素24及び第1の容量25の各一端を接続し、前記第2のスイッチ要素23と第3のスイッチ要素24の各他端の間に第2の容量26を接続し、前記第2のスイッチ要素23の他端をTFT27のゲートに接続し、前記第3のスイッチ要素24の他端を第4のスイッチ要素28を介して前記TFT27のソース及び抵抗29の一端並びに出力端子30に接続し、前記TFT27のドレインを高電位電源線31に接続し、且つ、前記第1の容量25と前記抵抗29の各他端を低電位電源線32に接続して構成したことを特徴とする。

【0010】このような構成において、図2(a)は第1のスイッチ要素22、第2のスイッチ要素23及び第4のスイッチ要素28だけをオンにしたときの等価回路図であり、図2(b)は第3のスイッチ要素24だけをオンにしたときの等価回路図である。図2(a)では、第1の容量25が入力電圧でチャージアップされると共に、第2の容量26がTFT27のゲート-ソース間電圧VGSでチャージアップされ、そして、図2(b)では、第1の容量25と第2の容量26の両保持電圧の合計値がTFT27のゲートに印加される。

【0011】既述のとおり、TFT27のソース電圧(出力電圧)は、TFT27のゲート電圧からしきい値電圧VGSだけ下がった電圧となるが、本発明では、第2の容量26の保持電圧によってTFT27のゲート電圧が正確にしきい値電圧VGSの分だけ高められているから、差引ゼロとなり、まったく出力電圧に影響しない。したがって、本発明では、出力トランジスタにTFTを

表1

信号名	素子符号	オン論理
L	40 (第1のスイッチ要素)	Hレベル
A	42 (第2のスイッチ要素)	Hレベル
B	43 (第3のスイッチ要素)	Hレベル
C	46 (第4のスイッチ要素)	Hレベル

また、biasは、TFT47のドレイン電流を一定に保つための定電圧であるが、その電圧は高低2段に変化している。biasを低くしたときは、TFT47のチャネル抵抗が高くなり、これによってTFT45に必要なソース抵抗が確保されるが、biasを高くしたときは、TFT47のチャネル抵抗が小さくなり、これによって、負荷容量ZLのスムーズな放電路が確保されるようになっている。

【0014】このような構成において、図4は三つのサンプリングサイクル(I~III)を示すタイミング図である。ViとVoだけがそれぞれのサンプリングサイクルで異なり、制御信号やbiasは全く同じパターンを繰

用いても、第1の容量25の保持電圧と等しい正確な出力電圧を得ることができ、且つ、第1~第4のスイッチ要素にも当然ながらTFTを使用できるので、特に、周辺一体化液晶パネルの製造に寄与する有益な技術を提供できるのである。

#### 【0012】

【発明の実施の形態】以下、本発明の実施例を図面に基づいて説明する。図3、図4は本発明に係るサンプリングホールド回路の第1実施例を示す図である。まず、構成を説明する。図3において、Viは入力電圧であり、Viは一對の異極性TFTからなるトランスファトランジスタ(第1のスイッチ要素)40を介してサンプリング容量(第1の容量)41の両端に加えられるようになっている。サンプリング容量41の非接地側の電極はTFT(第2のスイッチ要素)42及びTFT(第3のスイッチ要素)43の各一端に接続されており、TFT42、43の各他端の間には補助容量(第2の容量)44が接続されている。さらに、TFT42の他端は出力トランジスタとしてのTFT45のゲートに接続され、TFT43の他端はTFT(第4のスイッチ要素)46を介してTFT45のソース及びTFT47のドレイン並びに負荷容量ZL(ここでは液晶パネルの容量分)に接続されている。なお、VoはTFT45のソース電圧(出力電圧)、VDDは高電位電源線の電圧であり、“L”(及びその反転信号“not L”)、“A”、“B”及び“C”は、第1~第4のスイッチ要素を個別にオンオフする制御信号であり、信号とスイッチ要素の対応関係は、次表1の通りである。

#### 【0013】

返している。すなわち、“L”、“A”及び“C”だけが“Hレベル”になる第1のパターン(P1)と、“B”だけが“Hレベル”になる第2のパターン(P2)と、biasが“高い電圧”になる第3のパターン(P3)とを順次に繰り返している。

【0015】表1から、P1では第1のスイッチ要素(TFT40)、第2のスイッチ要素(TFT42)及び第4のスイッチ要素(TFT46)だけがオンする。したがって、このパターンの回路構成は、図2(a)と等価になるから、サンプリング容量41にViがチャージアップされ、また、補助容量44にTFT45のしきい値電圧VGSがチャージアップされる。次のP2では、

同様に表1から、第3のスイッチ要素(TFT43)だけがオンする。したがって、このパターンは回路構成は、図2(b)と等価になるから、TFT45のゲート電圧が、サンプリング容量41の保持電圧( $V_i$ )と補助容量44の保持電圧(TFT45のしきい値電圧 $V_{GS}$ )の加算電圧となり、 $V_o = V_i + V_{GS} - V_{GS}$ とすることができ、 $V_o = V_i$ とすることができる。なお、P3ではbiasが高くなるため、TFT45のソース抵抗(TFT47のチャネル抵抗)を下げることで、負荷容量 $Z_L$ の放電路を確保できる。

【0016】図5、図6は本発明に係るサンプリングホールド回路の第2実施例を示す図であり、上記第1実施例の改良図である。なお、第1実施例(図3)と共通の構成要素には同一の符号を付してある。本実施例において、上記第1実施例との相違は、サンプリング容量41と並列にTFT50を入れ、そのTFT50を信号(reset)でオンオフするようにした点にある。すなわち、図6のタイミング図に示すように、resetをP3で“Hレベル”にすれば、サンプリング容量41の電荷を各サンプリングサイクルの終期ごとに放電できるから、第1実施例のように、P1の後で一旦 $V_i$ を接地電位に落とす(図4のイ'~ハ'参照)手間がいらぬ。

【0017】なお、以上の第1及び第2実施例は1段構成のS/H回路であり、 $V_i$ のサンプリングから $V_o$ の出力までを1画素クロックの間に完了しなければならないため、画素数の多い(又は画面の大きい)液晶パネルの場合には不都合を生じるおそれがある。図7、図8は本発明に係るサンプリングホールド回路の第3実施例を示す図であり、第1実施例を2段構成にした例である。なお、第1実施例(図3)と共通の構成要素には同一の符号を付すと共に、2段目の類似構成要素には同一符号にダッシュ(')を付して識別してある。

【0018】本実施例において、第1実施例との相違は、1段目の出力(TFT45のソース)と2段目の入力とを接続すると共に、同接続ノードとグランド間に段間サンプリング容量60を入れた点にある。以下、この段間サンプリング容量60の両端電圧を段間電圧 $V_c$ と呼ぶことにする。図8は本実施例のタイミング図である。この図において、符号イを付したサイクルを便宜的に着目すると、このサイクルでは、まず、“L”、

“A”及び“C”を“Hレベル”にして1段目のサンプリング容量41を $V_i$ でチャージアップすると共に、1段目の補助容量44を1段目のTFT45の $V_{GS}$ でチャージアップする。次に、“bias”を“高い電圧”にして段間サンプリング容量60の電荷を放電した後、

“B”を“Hレベル”にして1段目のサンプリング容量41の電荷( $V_i$ )を出力する。なお、このときの出力電圧( $V_c$ )は、第1実施例でも説明したように、 $V_c = V_i + V_{GS} - V_{GS}$ となるから、正確に $V_i$ に一致する。最後に、“L”、“A”及び“B”を“Hレベル”

にし、あらかじめ接地電位に落とされた $V_i$ で1段目のサンプリング容量41の電荷をリセットすると共に、

“bias”を“高い電圧”にして段間サンプリング容量60の電荷を放電し1サイクルを終了するが、2段目でも類似の動作を並行して行う。

【0019】すなわち、2段目では、まず、同サイクル中の最初に行われる段間サンプリング容量60の放電動作の時点で、“L'”、“A'”及び“B'”を“Hレベル”にしてサンプリング容量41'と補助容量44'をそのときの $V_c$ の電位(グランド電位)でリセットし、次いで、1段目で“B”が“Hレベル”になった後に、“L'”、“A'”及び“C'”を“Hレベル”にしてサンプリング容量41'をそのときの $V_c$ の電位( $V_i$ )でチャージアップする。そして、最後に、“B'”を“Hレベル”にしてサンプリング容量41'の電荷( $V_i$ )を負荷容量 $Z_L$ に出力する。なお、このときの出力電圧( $V_o$ )も第1実施例でも説明したように、 $V_o = V_i + V_{GS} - V_{GS}$ となるから、正確に $V_i$ に一致する。

【0020】以上のとおり、この第3実施例によれば、1段目のサンプリング出力 $V_c$ を一旦、段間サンプリング容量60に保持させた後、この段間サンプリング容量60の保持電圧を2段目でサンプリングして出力するので、大きな値の負荷容量 $Z_L$ を1段で駆動するもの(第1実施例)に比べて、タイミング的な余裕があり、1サイクルの時間が短い(画素数の多い又は画面の大きい)液晶パネルに用いて好適な技術を提供できる。

【0021】図9、図10は本発明に係るサンプリングホールド回路の第4実施例を示す図であり、第3実施例と同様に段間サンプリング容量60を追加して2段構成にした第2実施例の改良例である。なお、第2実施例(図5)と共通の構成要素には同一の符号を付すと共に、2段目の類似構成要素には同一符号にダッシュ(')を付して識別してある。

【0022】第3実施例と同様の効果が得られると共に、さらに、1段目のresetと2段目のreset'を適切なタイミングでオンさせることにより、1段目と2段目のサンプリング容量41、41'の電荷を自在にリセットできるから、第2実施例と同様の効果( $V_i$ を接地電位に落とす必要がない)を得ることができる。

【0023】

【発明の効果】本発明によれば、出力トランジスタとしてのTFT27(符号は図1参照;以下同様)のソース電圧(出力電圧)は、TFT27のゲート電圧からしきい値電圧 $V_{GS}$ だけ下がった電圧となるが、本発明では、第2の容量26の保持電圧によってTFT27のゲート電圧が正確にしきい値電圧 $V_{GS}$ の分だけ高められているから、差引ゼロとなり、まったく出力電圧に影響しない。したがって、本発明では、出力トランジスタにTF

Tを用いても、第1の容量25の保持電圧と等しい正確な出力電圧を得ることができ、且つ、第1～第4のスイッチ要素にも当然ながらTFTを使用できるので、特に、周辺一体化液晶パネルの製造に寄与する有益な技術を提供できるという格別な効果が得られる。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】本発明の等価回路である。

【図3】第1実施例の構成図である。

【図4】第1実施例のタイミング図である。

【図5】第2実施例の構成図である。

【図6】第2実施例のタイミング図である。

【図7】第3実施例の構成図である。

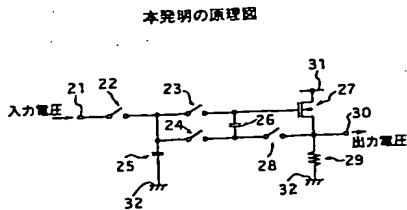
【図8】第3実施例のタイミング図である。

【図9】第4実施例の構成図である。

【図10】第4実施例のタイミング図である。

【図11】液晶パネルとその周辺回路の概略ブロック図である。

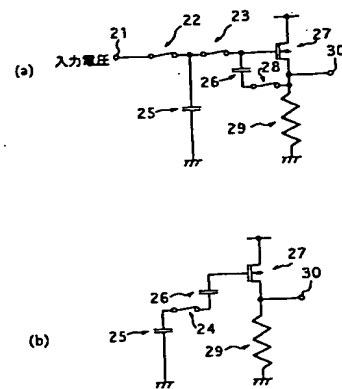
【図1】



- 21: 入力端子
- 22: 第1のスイッチ要素
- 23: 第2のスイッチ要素
- 24: 第3のスイッチ要素
- 25: 第1の容量
- 26: 第2の容量
- 27: TFT
- 28: 第4のスイッチ要素
- 29: 抵抗
- 30: 出力端子
- 31: 高電位電源線
- 32: 低電位電源線

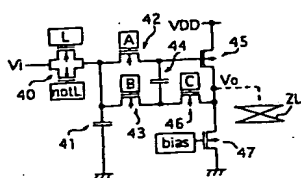
【図2】

本発明の等価回路



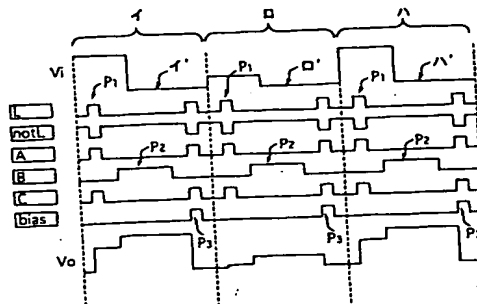
【図3】

第1実施例の構成図



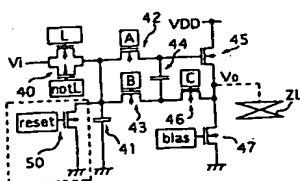
【図4】

第1実施例のタイミング図



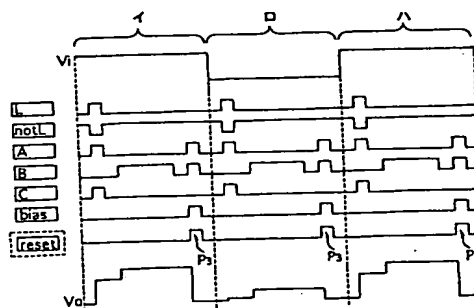
【図5】

第2実施例の構成図



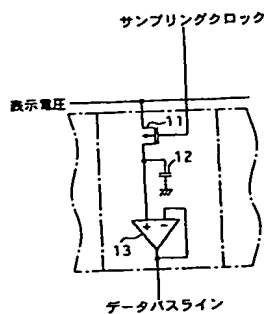
【図6】

第2実施例のタイミング図



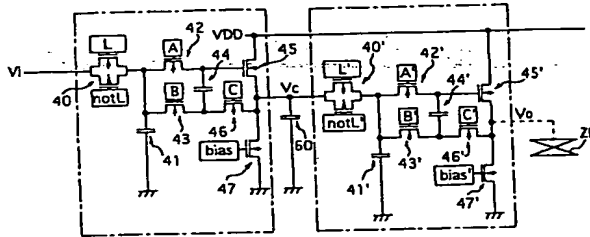
【図12】

図11のサンプリングホールド回路の概略構成図



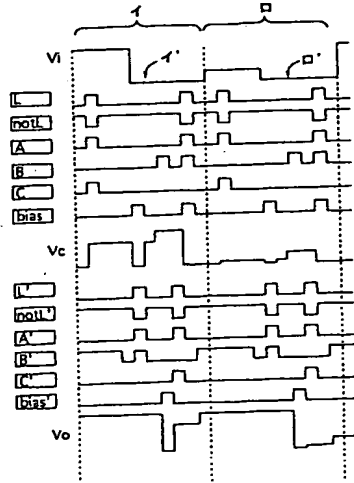
【図7】

第3実施例の構成図



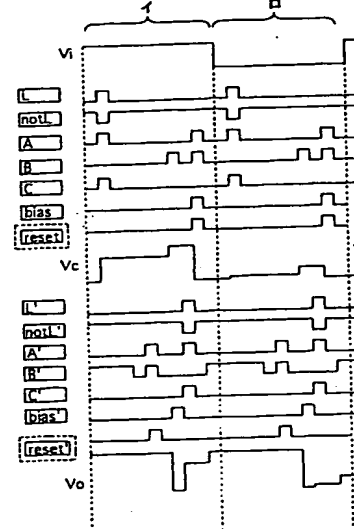
【図8】

第3実施例のタイミング図



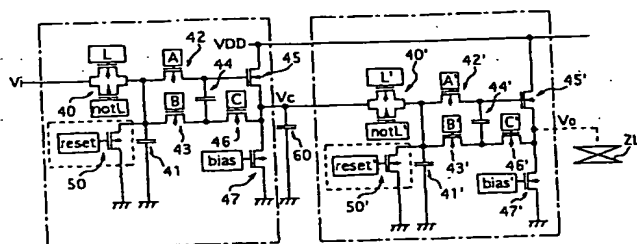
【図10】

第4実施例のタイミング図



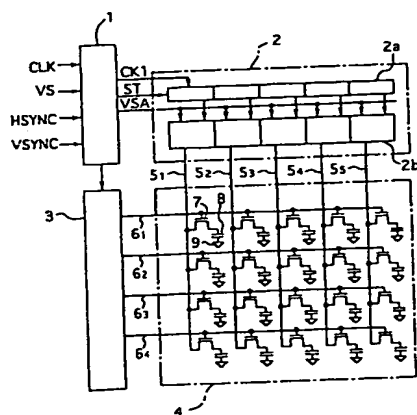


#### 第4実施例の構成図

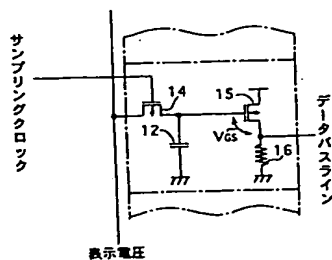


【图 13】

### 液晶パネルとその周辺回路の概略ブロック図



TTTで構成した場合のサンプリングホールド回路の概略構成図



フロントページの続き

(72)発明者 中林 謙一  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 山本 彰  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内